Комбинационные цифровые устройства.

Процедура создания (синтеза) комбинационного цифрового устройства подразумевает разработку его принципиальной схемы и реализацию устройства на основе типовых логических элементов, работающих в том или ином базисе.

На первом этапе синтеза определяется общий алгоритм работы проектируемого устройства, то есть описывается функция, которую оно должно выполнять. На втором этапе этот алгоритм конкретизируется, при этом устанавливаются взаимосвязи между входными и выходными сигналами проектируемого устройства. Обычно их задают в табличной форме. На третьем этапе определяются функции, описывающие взаимосвязь входных и выходных сигналов. Они представляются в виде соответствующих комбинаций простейших логических операций. Четвертый этап заключается в том, что каждой простейшей операции, входящей в выражение для полученной функции, ставится в соответствие конкретный логический элемент и устанавливаются связи между ними.

На этом этапе логические элементы обычно идеализируются, то есть считается, что их задержки переключения равны нулю, нагрузочной способность неограниченна и т.п.

В то же время при создании реальных цифровых устройств, разработчик имеет дело с реальными узлами, которым присущи определенные ограничения и особенности. Поэтому формально правильно спроектированная схема может на практике оказаться не работоспособной. Это вызывает необходимость после завершения процедуры синтеза, проводить анализ особенностей функционирования разработанной схемы с учетом параметров и характеристик реальных логических элементов, в ряде случаев оговаривая и их конкретные разновидности, то есть ТТЛ, КМОП и т.п.

4.1 Дешифраторы.

Широкий класс комбинационных устройств представляют собой преобразователи кодов, к которым можно отнести все комбинационные устройства. Они ставят в соответствие коду входного слова определенное значение выходного кода, то есть устанавливают функциональную связь между входной и выходной переменными. Одной из разновидностей преобразователей кодов является дешифратор.

Обобщенный алгоритм его работы может быть определен следующим образом. При любой комбинации входных сигналов, выходной (в виде логического нуля или единицы) формируется лишь на одном из выходов дешифратора, причем номер этого выхода определяется самой кодовой комбинацией.

Так как посредством n-разрядного двоичного кода можно задатькомбинаций, то приnвходах у дешифратора должно бытьвыходов. Дешифраторы такого типа называются полными. Если количество выходов, то такой дешифратор относится к неполным.

Для конкретизации алгоритма работы дешифратора требуется установить связи между наборами его входных и выходных сигналов. Это удобно делать табличным способом.

Таблица, описывающая функционирование дешифратора с двумя управляющими входами и четырьмя выходами (дешифратора 2→4) имеет следующий вид. Здесь под выходным сигналом понимается наличие на соответствующем выходе логической единицы.

Из нее следует, что сигнал формируется только на одном из выходов и его номер однозначно связан с видом входной комбинации. Однако данная таблица не является единственной. Можно, в частности, задать алгоритм работы дешифратора и следующим образом. То есть существует несколько вариантов устройств, которые по определению относятся к классу дешифраторов.

Однако под дешифратором понимается лишь одно из них, работа которого описывается последней таблицей. Это связано с тем, что если входное слово представлять как двоичный код (присвоив разряду вес, а-), то номер выхода на котором появится единичный сигнал будет соответствовать десятичному числу, определяемому этим кодом.

Выходной код, формируемый таким дешифратором называется унитарным кодом логических единиц.

Используя правила преобразования табличного представления функции в аналитическое, уравнения, связывающие значения входных переменныхс функциями, описывающими состояние каждого из выходов можно представить в таком виде.

Отсюда вытекает, что в состав дешифратора 2→4 должны входить четыре двухвходовых элемента И, и два инвертора, связанные между собой следующим образом.

Дешифратор, как функциональный элемент отображается на принципиальных схемах в виде прямоугольника, в центре которого помещается символическое буквенное обозначениеDC, соответствующее функциональной принадлежности элемента. В левой области располагают символы, обозначающие функции входов, а в правой – выходов. В ряде случаев буквенные обозначения могут опускаться.

Аналогичным образом, можно синтезировать дешифратор 3→8. Состояния его выходов описываются таким набором функций, а схема выглядит следующим образом. Дешифраторы данной структуры относятся к классу линейных, так как все элементы, формирующие выходные сигналы оказываются как бы выстроенными в одну линию.

Между входными и выходными сигналами дешифратора имеется достаточно простая взаимосвязь, и для дешифратора с*n*входами ее можно выразить общей формулойЗдесьiиj– это номера входов и выходов дешифратора - коэффициенты разложения номера соответствующего выхода в двоичный код.

Определить функцию, описывающую к примеру, состояние десятого выхода дешифратора 4→16 можно следующим образом. Здесь n=4,iменяется от нуля до 3, аj– от нуля до 15. Для десятого выхода представление его номера в двоичном коде будет выглядеть каки коэффициенты окажутся равными: . То есть функциюможно определить следующим образом:

.

Как уже отмечалось, вследствие того, что цифровые устройства строятся на реальных логических элементах, параметры которых имеют определенные ограничения, после завершающего этапа синтеза требуется провести анализ характеристик разработанного узла.

Одними из важных показателей любого цифрового устройства являются его быстродействие, энергопотребление и нагрузка на внешние линии по которым поступают управляющие сигналы.

Если принять, что средняя задержка переключения логического элемента равна , то для дешифратора линейной структуры любой разрядности время между изменением входного сигнала и появлением выходного не превысит, так как черезсформируются инверсные значения входных переменных и еще черезвыходные сигналы.

Средняя мощность потребления определяется количеством логических элементов, так как мощность потребляемая каждым из них практически не зависит от числа входов, то есть количества обрабатываемых переменных.

Одной из серьезных проблем в многоразрядных дешифраторах и других сложных цифровых устройствах может стать конечный коэффициент разветвления реальных логических элементов и количество входов, подключаемых к линиям, по которым подаются управляющие сигналы (коэффициент нагрузки). Кроме того, при реализации цифровых устройств на реальных микросхемах малой степени интеграции важным является как количество используемых при этом логических элементов, так и число корпусов. Первый фактор влияет на потребляемую мощность, а второй на габаритные размеры реального узла.

Если рассмотреть линейный дешифратор 4→16, то для его создания понадобится 16 четырехвходовых элементов И и четыре инвертора (элемента НЕ). В составе ТТЛ, ТТЛШ и КМОП серий выпускаются микросхемы содержащие в одном корпусе по два элемента 4И (К555ЛИ6, КР1561ЛИ2) и по шесть элементов НЕ (К155ЛН1, К561ЛН2). Таким образом, для реализации дешифратора 4→16 понадобится 9 (8+1) корпусов микросхем, причем 2 инвертора окажутся невостребованными.

Как уже отмечалось, максимальная задержка в таком дешифраторе составит , потребляемая мощность будет пропорциональна количеству логических элементов и при среднем потреблении каждым из них, составит.Количество входов логических элементов, подключенных к линиям управляющих сигналов, будет равно 9, так как каждый из сигналов поступает на один инвертор и восемь логических элементов. Любой инвертор оказываются нагруженными на восемь входов схем 4И. То есть в данном дешифраторе коэффициенты нагрузки и разветвления не превышают допустимых пределов.